

Микропроцесори и чипсети.

4.1 Микропроцесори (CPU – Central Processing Unit)

4.1.1 Исторически преглед на развитието на микропроцесорите

Началото на развитие на микропроцесорните технологии се свързва с фирмата Intel (Integrated Electronics). Тя е основана през 1968 година от Роберт Нойс и Гордан Мур. Основните цели на компанията били да използват достиженията на полупроводниковите технологии за създаване, на основата на силициеви кристали, високоефективни електронни устройства. Първите продукти на фирмата били микросхеми на основата на биполярни транзистори, но след това започнали разработки на електронни схеми с полеви МОП-транзистори.

За начало на разработване на микропроцесори се смята 1971 година, когато фирмата Intel създава микропроцесора *i4004*. Той е имал разрядност 4 бита, можел е да адресира 640 байта памет, работел е с тактова честота 108 kHz и е имал производителност 0.06 MIPS (Million instruction per second - милиони инструкции за секунда). Такъв микропроцесор е можел да работи като изчислително ядро на калкулатори. Съдържал е 2300 p-канални МОП транзистора и е изпълняван по 10 мкм технология.

През 1972 година Intel пуска в продажба процесора *i8008*, който първоначално работи на честота 200 kHz. Разликата от процесора 4004 се състои в това, че той притежава 8-битова шина за данни.

През 1974 година се появява 8-битовия процесор *i8080*, с който се комплектовали различни терминали, контролери и смятаният за първи персонален компютър **Altair**. Той е съдържал 6000 транзистора, изработван е по 6 мкм технология, имал тактова честота 2 MHz и можел да адресира 64 KB памет. Този микропроцесор в продължение на почти цяло десетилетие се явява световен стандарт сред 8-битовите микропроцесори. Различни модификации от него се произвеждат в продължение на доста години, както от компанията Intel, така и от редица други компании.

Следващият етап в развитието на микропроцесорите Intel става *i8085*, с 5 MHz тактова честота, 6500 транзистора и 3 мкм технология. Той съхранява регистровата структура на *i8080* и програмната съвместимост с него, но били добавени портове за последователен интерфейс и бил изменен външният интерфейс. Било установено едно захранващо напрежение от +5V.

Процесорът *i8085* стана много популярен поради това, че беше клониран. Една компания на име *Zilog*, основана през 1975 година от няколко инженери от Intel пуска на пазара процесора **Z80**. Той е разновидност на *i8085*, като е съхранена програмна съвместимост с процесора на Intel, но са добавени допълнителни регистри. Това довежда до съществено повишаване на производителността. Резултатът е, че популярните на времето персонални компютри Sinclair, разработени на базата на **Z80**, демонстрират при игри и графика бързодействие не по-лошо от следващите 16-битовите процесори на Intel – 8086.

През 1976 година *MOS Technologies* представя микропроцесора 6502, разработен от няколко бивши инженери на Motorola, работили върху първия процесор на компанията - 6800. 6502 е 8-битов микропроцесор като 8080, но се е продавал за около \$25, докато при представянето си 8080 е струвал \$300. Тази цена е привлякла вниманието на Стив Вожняк, който поставя чипа в основата на своите проекти за Apple I и Apple II. Този чип е използван и в системите Commodore, Attari, а също и в някои други компютърни системи. Motorola продължи с разработване на серията 68000, превърнала се в основа за линията от компютри Apple Macintosh. Днес тези системи използват чипа PowerPC, създаден също с участието на Motorola, който се явява приемник на серията 68000.

Първият 16-битов процесор **i8086** Intel пуска през 1978 година. Той става родоначалник на знаменитото семейство Intel **80x86** (често се означава като **x86**). Архитектурата на този процесор се отличава значително от архитектурата на предишните 8-битови микропроцесори, ориентирани за решаване на несложни задачи. В Intel **8086** са реализирани голям набор команди и способности на адресация на паметта и е обезпечена ефективна обработка на прекъсванията. Той работи с честота 5 MHz, има производителност 0.33 MIPS, изработен е по 3 мкм технология и има 29000 транзистора. Процесорът има 20-битова шина за адреси и 16-битова шина за данни. Адресируемата памет е 1 MB, регистровата архитектура и системата от команди съществено се отличават от тези на **i8085**, но се запазват общите идеи вложени в концепцията на микропроцесорите на фирмата.

Наред с основния микропроцесор е разработен и аритметичен копроцесор **i8087**, който се включва към **i8086** за изпълнение на операции с числа с плаваща запетая (при изчисленията на тригонометрични, логаритмични и други математически функции).

На следващата година се появява **i8088** – същият микропроцесор, но с 8-битова шина за данни. С него започва историята на най-популярните компютърни системи в света и в настоящият момент – IBM PC. През целият период на развитие на IBM PC компютрите, Intel е неразривно свързан с това развитие, докато IBM има доста по-малко участие в него.

Масовото разпространение и откритата архитектура на IBM PC, както и програмната и апаратна съвместимост и лесна експлоатация, довеждат до лавинообразно развитие на технологиите и програмното обезпечаване на компютърните системи и появата на множество неголеми фирми, разработващи оборудване и програмни продукти за тях. Това развитие дава отпечатък и върху развитието на микропроцесорите, те се усъвършенстват с голяма скорост, но развитието им се обуславя от принципа за обратната съвместимост – старите програми трябва да работят на новите усъвършенствани микропроцесори. Следователно, всички нововъведения в архитектурата на процесорите е трябвало да бъдат ‘пристройвани’ към съществуващото процесорно ядро. Върху архитектурата на микропроцесорите се отразяват и особеностите на архитектурата на самите PC компютри.

Микропроцесорът **i80286** отбелязва нов етап в развитието на архитектурата на процесорните устройства. Той се появява през 1982 година и съдържа в структурата си 134000 транзистора комплектовани по 1.5 мкм технология. Основното различие от предишните модификации се изразява във въвеждането на блок за управление на паметта (**MMU – Memory Management Unit**), който реализира така нареченият защитен режим (**Protected Mode**). Процесорът адресира 16 MB памет, осигурява мултизадачен режим на работа и може да работи с виртуална памет до 1 GB. Тези възможности на **i80286** не намират широко приложение; той се използва като много бърз **i8086**. На основата на този микропроцесор, в средата на 80-те години беше разработен 16-битовият персонален компютър IBM PC/AT, станал много популярен за времето си.

През 1985 година се появява първият 32-битов микропроцесор **i80386**. Той съдържа 275000 транзистора и е изпълняван по 1.5 мкм технология. Има 32-битова шина за данни и адреси, а адресируемата физическа памет достига 4 GB. Усъвършенстван е защитеният режим на работа и се въвежда странична организация на паметта. Аритметическият копроцесор **i80387** е въведен за обработка на данни с плаваща запетая. Като междинна версия е разработен вариант с 16-битова шина (адресируема памет 16 MB) **i80386SX**, който е предназначен за замяна на процесорите **i80286** в компютрите от типа IBM PC/AT.

На основата на **i80386** се появяват първите версии на Microsoft Windows и неговите приложения. От тогава датира така наречената ‘положителна обратна връзка’ – при появата на всеки нов процесор, софтуерните компании да пускат нови привлекателни продукти, оползотворяващи възможностите им. Така новите софтуерни продукти постоянно изискват все по-мощни компютърни системи, а новите апаратни устройства изискват нови софтуерни продукти за ефективно използване на ресурсите им. Получава се затворен кръг, който може

да се смята за естествен, но големите апаратни ресурси не стимулират софтуерните специалисти да разработват ефективни алгоритми за решаване на задачите. Типичен пример в това отношение е програмната среда Windows и разработваните на нейна основа приложни продукти. Някои наричат Windows най-големият вирус създаван в компютърните системи.

Процесорът **i80486** се появява през 1989 година. Изграден е от 1200000 транзистора, като е използвана 1 мкм технология. Различава се от **i80386** по вграждането в кристала на микропроцесора на първична кеш-памет (8 KB) и математически копроцесор (за работа с числа с плаваща запетая). В предишните версии на микропроцесорите се използва външен копроцесор с означения x87. Освен това, за повишаване на производителността в основата на този по същество CISC микропроцесор е предвидено RISC ядро. Съществуват разновидности на **i80486**, отличаващи се по отсъствието на копроцесор и вътрешна кеш памет (**i80486SX**), с удвояване на процесорната честота (**i80486DX2**) или утрояване на честота на процесора (**i80486DX4**) и др.

Благодарение на ефективната производствена политика, компанията Intel има лидерска позиция в областта на производството на микропроцесори за персонални компютри. В началото на 90-те години обаче, редица компании, работещи в областта на технологиите за производство на високоинтегрирани електронни схеми, като Advanced MicroDevices (AMD), Cyrix, Texas Instruments, IBM и др. организираха производство на микропроцесори, функционално аналогични на **i80386** и **i80486**. По редица характеристики, като производителност и цена, някои от тях превъзхождат процесорите произведени от Intel. Опитите на Intel, да защити по съдебен ред авторството на тези разработки претърпяват неуспех, тъй като в американското законодателство, числени означения не се разглеждат като запазена марка. При тези условия, Intel е принуден да съсредоточи усилията си в разработката на микропроцесор от ново поколение (пето поколение), който е наречен **Pentium** (пети) – вместо **i80586**.

1993 е годината на появата на първите микропроцесори **Pentium**. Първоначално те работят с тактова честота 60 и 66 MHz. Те са 32-битови микропроцесори с 64-битова шина за данни. Съдържат около 3 100 000 транзистора и е използвана 0.8 мкм технология. В тези микропроцесори е внедрена така наречената **Харвардска архитектура** с разделяне на потока на командите и данните посредством разделяне на кеш-паметта на два блока – за команди и данни. Освен това, в **Pentium** се въвежда суперскаларна архитектура, при която няколко операции едновременно се изпълняват в четири паралелно работещи устройства: две за обработка на целочислени данни; едно за обработка на числа с плаваща запетая и едно за команди с условен преход. Така изпълнението на командите се организира във вид на конвейер, съдържащ пет последователни степени (конвейерна обработка на информацията).

Консумираната мощност на първите микропроцесори **Pentium** е доста висока (до 20 W), което в някои случаи предизвиква прегряване по време на експлоатация. Интересът към този микропроцесор е съдържан в началото поради не дотам високата производителност (в сравнение например с AMD 486DX4), поради високата цена, и поради установена грешка в копроцесорният модул на първите модели **Pentium**. Въпреки, че математически беше доказана малката вероятност за възникване на грешката, това все пак забави в известна степен продажбите на микропроцесорите **Pentium**. Intel беше принудена да замени безплатно, голям брой продадени микропроцесори с нови, в които този дефект беше отстранен.

През 1994 година се появиха микропроцесори **Pentium** с тактова честота 75, 90 и 100 MHz. С почти същите електронни схеми, но изпълнявани по 0.6 мкм технология те са с по-ниска консумация на енергия, което позволява вътрешно умножение на честотата на процесорното ядро. През 1995 се появиха версии със 120 и 133 MHz тактова честота и изпълнение по 0.35 мкм технология. Версиите със 150, 160 и 200 MHz се появиха през 1996 година. Това е периодът, когато **Pentium** става масово използваният микропроцесор.

Паралелно с развитието на *Pentium* се работи и по модификацията *Pentium Pro*, който става родоначалник на ново поколение микропроцесори P6 (*Pentium* от шесто поколение). Той се отличава с разширяване на конвейерната обработка на данните (до 12 степени на паралелно заредени команди). В процесора е реализирано предварително изтегляне на информация от паметта, която предстои да бъде обработена и изпълнение на операциите в зависимост от това дали са готови данните за тях. Така естествената последователност на изпълнение на командите може да не се спазва, като по-задна команда може да се изпълни преди някоя по-ранна, стига данните за нея да са готови. В резултат на това се получава до 1.5 – 2 пъти по голяма производителност при работа с 32-битови операнди (данни). При работа с 16-битовите приложения (DOS), а така също и с Windows 95, *Pentium Pro*, не дава по-голяма производителност.

Друго отличие на *Pentium Pro* е това, че в корпуса на микропроцесора е поместена още една интегрална схема (силициев кристал), която осигурява вторична кеш-памет, работеща с честотата на процесорното ядро – като начало 256 КВ. Микропроцесорът е изграден от 5 500 000 транзистора, а кристалът на вторичната кеш-памет - 15 500 000 транзистора. Двата кристала се свързват помежду си с отделна високоскоростна шина, работеща с тактовата честота на микропроцесора.

Използването на две независими шини е характерна особеност на процесорите от семейството P6. Основната системна шина FSB (Front Side Bus) работи с тактова честота определена от възможностите на микропроцесора и системната шина. На сегашният етап FSB шината работи с честоти от 66, 100, 133, 200, 400 и 533 MHz. Отделната високоскоростна шина BSB (Back Side Bus) се използва за свързване на вторичната кеш-памет с процесора. Шината BSB обезпечава обмен на информацията с честота от половината до пълната вътрешна честота на микропроцесора (500 MHz 2 GHz).

През 1997 година след доста отлагания се появява микропроцесорът *Pentium MMX*. Технологията MMX (MultiMedia eXtention – мултимедийно разширение), предполага паралелна обработка на група данни с една команда (инструкция). Тя е разработена за ускоряване на мултимедийните приложения, в частност с обработка на графични (растерни) изображения или аудиоинформация. Ефективността на тази технология предизвиква доста спорове сред разработчиците, тъй като ускоряването на обработката при изпълнение на операциите се компенсира до голяма степен с допълнителните операции по подготовката на данните за извършване на обработката.

Освен MMX, тези микропроцесори имат удвоен обем на първичната кеш-памет в сравнение с обикновеният *Pentium* и някои елементи от технологията *Pro*. Микропроцесорите *Pentium MMX* съдържат в ядрото си 4 500 000 транзистора и изпълнение по 0.35 мкм технология.

Технологията MMX беше обединена с технологията на *Pentium Pro* и през 1997 се появи като процесор *Pentium II*. Той представлява леко орязан *Pentium Pro* с повишена тактова честота и въведена технология MMX. Трудностите по разполагането на вторичната кеш-памет в корпуса на микропроцесора е преодолян с не много удачен прием – отделна интегрална схема (чип) за микропроцесорното ядро и чипове със статическа памет разположение на една платка (карта). Всички схеми са затворени с един общ корпус и се охлаждат с допълнителен вентилатор. Първите микропроцесори *Pentium II* са с тактова честота на процесорното ядро 233, 266 и 300 MHz (0.35 мкм технология). През 1998 година беше достигната честота 450 MHz (технология 0.25 мкм), като външната тактова честота (на системната шина) се повишава от 66 на 100 MHz. Вторичната кеш-памет на тези микропроцесори работи на половината честота на процесорното ядро.

Микропроцесорите *Pentium II* стават изключително популярни, но конкуренцията от страна на другите производители (AMD, Cyrix), принуждава Intel да разработи по евтини варианти на основния модел микропроцесори. Така се появява семейството процесори

Celeron, първите модели от които нямат никаква вторична кеш-памет, а следващите модели имат намалена вторична кеш – 128 KB, който по-късно се разполага в самия кристал на микропроцесора. Достига се честота на работа 333, 366, 400 MHz, като вторичната кеш-памет работи с честотата на процесорното ядро.

През 1999 година се пускат рекорден брой нови модификации на Intel микропроцесори и се реализира голям скок в производителността им. Това се дължи на преход към производствена технология с топологическа разрешаваща способност от 0.18 мкм и възможност да се увеличи значително тактовата честота на процесорното ядро. В първите месеци на 1999 се появиха **Pentium III**, **Pentium III Xeон** и **Celeron** с честоти над 450 MHz. В края на годината тактовата честота на микропроцесорите беше увеличена до 800 MHz.

Процесорите **Pentium III** са по-нататъшно развитие на технологията MMX, чрез въвеждане на допълнителни команди изпълняващи операции за едновременна обработка на няколко числа с плаваща запетая. Това разширение на архитектурата на микропроцесорите от семейството P6 е наречено SSE – Streaming SIMD Extension (разширение за поток от данни). Първите микропроцесори **Pentium III** се изпълняват по 0.25 мкм технология, но скоро се преминава на 0.18 мкм технология

Едновременно с **Pentium III** беше организирано производство на **Pentium III Xeон**, ориентиран за работа в мултипроцесорни системи – за сектора на високопроизводителните сървъри и работни станции.

Процесорите **Pentium 4** се появиха през 2000 година и представляват ново поколение микропроцесори от фамилията на Intel. Основните технически промени в него се отнасят до достигане на скорости от 1.3 GHz до 2.8 GHz, 55 000 000 транзистора, 0.13 мкм процес, честота на процесорната шина 400 или 533 MHz, 20 - степенна хиперконвейрна технология, усъвършенствана система за предсказване на преходите в програмите и редица други подобрения. Intel изоставиха римските цифри и ги замениха със стандартни обозначения с арабски цифри. Вътрешно Pentium 4 представя нова архитектура, която от Intel наричат NetBurst микроархитектура. Процесорите Pentium 4 се отнасят към седмо поколение микропроцесори на Intel.

През 2001 беше представен най-високият клас процесор, произвеждан от Intel, **Itanium**, който е проектиран главно за пазара на сървъри. Той е първият процесор от продуктовата фамилия **IA-64** на **Intel** и е първият 64-битов микропроцесор, разпространяван масово на пазара на компютърни елементи. Тези микропроцесори имат изцяло нов дизайн и първоначалната разработка е погълнала изключително много разходи. Върху тази разработка Intel и Hewlett-Packard работят съвместно от 1994 година. **Itanium** включва нова архитектура, която Intel нарича EPIC (explicitly parallel instruction computing - напълно паралелни инструкции за изчисления). Тя позволява изпълнение на няколко инструкции едновременно. За съжаление, кодът, разработен специално за IA-64, няма да работи на x86-32 процесорите, защото наборът от команди на микропроцесора и самата архитектура са коренно различни.

AMD разработват своя конкурентна, но различна 64-битова архитектура. Тя се нарича x86-64 и ще бъде реализирана в чипове с кодово наименование **Hammer**. Архитектурата x86-64 се различава от IA-64 по това, че тя се явява по-скоро разширение на текущата IA-32 архитектура, а не изцяло нова 64-битова архитектура. Затова се очаква, че тя по-бързо ще се адаптира към PC компютрите и ще изпълнява с по-голяма скорост съществуващите 32-битови приложения.

4.1.2 Основни концепции за развитие

Съществуват две основни тенденции при развитието на микропроцесорите за съвременните КС – RISC и CISC технологиите.

- **RISC** (Reduced Instruction Set Computing) – Съкратена система команди на микропроцесора. Тази технология предполага, че изпълнителното устройство на микропроцесора работи с не голям брой машинни инструкции (например до 50), които имат еднакъв формат. По този начин, се реализират няколко предимства: схемата на микропроцесора е опростена (малко на брой устройства за обработка на информацията); върху процесорната пластина се освобождава място за вграждане на по-голям обем бърза памет (кеш – памет); увеличава се бързодействието на микропроцесора поради еднородността на командите (инструкциите) и по-лесното им дешифриране.

За повишаване на производителността на RISC процесорите обикновено се работи с машинни думи с голяма дължина (над 64 бита)

Недостатък на тези технологии са по-сложните процедури при изготвяне на програмното обезпечаване, поради необходимостта от разработване на алгоритми използващи по-малък брой и по-прости машинни команди.

Представители на тази тенденция в микропроцесорните технологии са: **SPARC** (Sun Microsystem), **Alpha** (Compaq), **PowerPC** (IBM, Apple, Motorola). Тези микропроцесори се използват за вграждане в компютърни системи използвани като сървъри в компютърните мрежи, както и в КС от типа Macintosh на Apple.

Фирма Intel съвместно с Hewlett-Packard разработват RISC процесор с тактова честота над 1 GHz, обезпечаваш съвместимост с 32-битовите микропроцесори.

- **CISC** (Complete Instruction Set Computing) – Пълна система от команди на микропроцесора. При тази технология се предполага, че по-голяма група инструкции ще бъде реализирана за апаратно изпълнение (броят на машинните команди в съвременните CISC микропроцесори е над 250). Това прави електронната структура на микропроцесора доста по-сложна. Командите са с различни формати, а управлението на изпълнителните устройства в микропроцесора е сложно. Това води до по-ниска производителност (бързодействие) и недостиг на място върху кристала за разполагане на кеш-памет.

По тази технология се изпълняват всички микропроцесори вградени в компютърните системи PC. От този тип са микропроцесорите на Intel използвани в PC системите, Z80 на фирмата Zilog, както и всички микропроцесори съвместими с Intel – AMD, Cyrix, Texas Instruments и др. Микропроцесорите i8086/i8088 имат базова система команди, която се съдържа във всички следващи модификации от фамилията x86. Във всяка модификация x86 се добавят нови команди, които разширяват базовата система, и се обуславят от новите архитектурни решения въвеждани във новите модели микропроцесори.

За да се компенсират предимствата на RISC микропроцесорите по отношение на бързодействието, при CISC микропроцесорите се разработват редица технологии – конвейерна обработка на инструкциите, MMX технологията и др.

В близкото минало (преди 5 – 6 години) се смяташе, че микропроцесорите от типа CISC постепенно ще отстъпят място на RISC микропроцесорите. Тази прогноза не се сбъдна напълно, защото производителите на CISC микропроцесори проявиха гъвкавост и възприеха доста идеи от RISC технологиите. Съвременните CISC микропроцесори притежават в основата си RISC ядро, като посредством електронни устройства по-сложните команди от системата на микропроцесора се свеждат до команди от система елементарни команди на ядрото. Микропроцесорите на Intel и съвместимите с тях след Pentium II могат да се разглеждат като RISC процесори, които имат апаратен транслятор за преобразуване на x86 команди в RISC команди. Така, постепенно разликата между RISC и CISC микропроцесорите постепенно изчезва.

4.1.3. Спецификация на процесорите

Микропроцесорите могат да се идентифицират по различни признаци, но съществуват два основни параметъра, които определят до голяма степен работоспособността им. Това са

ширина (разрядност) и скорост на микропроцесора. Скоростта на микропроцесорите се определя от честотата на управляващите импулси, която се измерва в мегахерци (MHz) и гигахерци (GHz) – брой тактове за секунда. Колкото по-голяма е тактовата честота, толкова по-голям брой операции се извършват за единица време. Ширината на микропроцесор се определя от спецификацията на три основни елемента: регистри, шини за данни и шини за адреси в паметта. Освен тези основни параметри, за качествата на микропроцесорите имат значение и следните допълнителни показатели: тип и големина на кеш-паметта, брой и степени (дълбочина) на конвейерните вериги, технологии MMX, 3DNow! и Enhanced 3DNow и други.

Бързодействие на микропроцесорите. Кварцов стабилизирани генератор контролира тактовите честоти в компютърните системи. В съвременните компютри основният тактов генератор е вграден в чипсета на дънната платка, а в по-старите системи се изпълняваше като отделен елемент. Когато на кварцовата пластина на тактовия генератор се подаде напрежение, той започва да вибрира (трепти) с хармонична честота, която се определя от размерите на кристала. Трептенията на кристала генерират променлив ток с честота, хармонична с честотата на трептене. Този променлив ток представлява тактуващ сигнал, който формира последователност от действия изпълнявани от електронните логически схеми. Съвременните компютърни системи изпълняват милиони тактове за секунда, което съответства на милиони херци (MHz).

Един такт на тактовия генератор е най-малкият интервал от време за микропроцесора. Всяко действие изисква поне един такт, но обикновено за по-сложни действия се изискват по няколко такта. Различните времена (тактове) за изпълнение на дадена инструкция прави сравнението на компютърните системи по бързодействие доста трудно. Може два микропроцесора да работят на една и съща честота и единият да е по-бърз от другия. Така например, един **i80486** микропроцесор изпълнява два пъти повече инструкции от **i80386** за същия брой тактове. Затова той се смята за по-бърз микропроцесор въпреки същата тактова честота. По-същият начин един **Pentium** микропроцесор изпълнява повече инструкции от **80486** микропроцесор. Това се дължи на допълнителните елементи включени в организацията на работа на микропроцесорите.

Друг важен фактор, който влияе върху бързодействието на микропроцесорите е, че практически всички модерни процесори от **i80486** работят с някакъв множител спрямо скоростта на дънната платка (системната шина). Например **Pentium 4** 2.8GHz работи със скорост, която е 21/4 (5.25) пъти по-голяма от тази на дънната платка (533 MHz). До средата на 1998 година повечето дънни платки работеха с 66 MHz или по-малка. През април същата година Intel пусна на пазара чипсети и микропроцесори проектирани да работят със 100 MHz. През 2000 и 2001 година скоростта на системната шина достигна 266 и 400 MHz, а за Pentium 4 и до 533 MHz. По принцип, скоростта на процесорната шина се избира така, че да отговаря на типа на паметта, която се използва в компютърната система.

Обикновено скоростта на дънната платка и множителят на честотата на микропроцесора могат да се настройват посредством джъмperi или други механизми за конфигуриране (Setup програма на BIOS). Модерните системи използват схема за синтезиране на променлива честота, която обикновено се намира в чипсета и контролира както честотата на системната шина, така и на микропроцесора. По този начин честотата на микропроцесора може да се настрои така, че да е по-голяма от посочената в паспорта му. Това се нарича **оверклокване** (издуване, изпържване) на микропроцесора. В много случаи това е допустимо, тъй като основните производители Intel и AMD обикновено преосигуряват своите продукти и допускат работа с по-висока честота. Това крие и известни рискове, тъй като при по-висока честота, топлинното натоварване на микропроцесорите става по-голямо и ако охлаждането не е ефективно може да се получи повреда на процесора.

Повечето процесори на Intel след Pentium II, а по-късно и процесорите на AMD излизат на пазара със заключени множители на честотата. Замисълът на тези мерки е да се попречи на недобросъвестни разпространители да премаркират процесорите (да ги продават като процесори с по-високи показатели). В този случай единственият начин за овърклокване на микропроцесорите е да се използва изменението на скоростта на системната шина (където това е възможно).

Множителят на честота се заключава посредством много малки спойки между няколко контактни точки върху повърхността на чипа. Това означава, че заключването може да се игнорира като се свържат или прекъснат връзките между определени контактни точки. Тази процедура е доста трудоемка тъй като връзките са много тънки и има опасност от повреда на други връзки.

Друг начин, който използват ентузиастите за постигане на по-високи скорости на микропроцесорите е промяна на напрежението, с което работи микропроцесорът. За голяма част от съвременните дънни платки напрежението за микропроцесорите се установява автоматично. При тях системата разпознава и установява правилното напрежение, като чете информация от определени изводи на процесора. Някои дънни платки (Intel) не позволяват ръчни настройки на тези показатели. Други позволяват промяна на напрежението с по една десета от волта нагоре или надолу от стандартната стойност. Чрез изменение на напрежението могат да се установят условия за стабилна работа на микропроцесорите при овърклокване.

4.1.4 Шини и регистри на микропроцесорите

Една от характеристиките, която определя бързодействието на микропроцесорите е ширината на неговите шини и регистри. Тази ширина се определя от броя на битовете информация, която могат да бъдат предадени от и към микропроцесора за един машинен цикъл (такт). Шината е група от проводници, по които се пренасят общи сигнали. Обикновено ширината на вътрешната шина и регистрите определя така наречената *машинна дума* – съвкупност от двоични цифри заемащи определен обем памет. Машинната дума за микропроцесорите Pentium е 32 бита (4 байта).

Шини за данни.

Процесорната шина е външната шина за данни. Колкото повече сигнали могат да бъдат изпращани едновременно, толкова повече данни могат да бъдат предавани за единица време. По-широката шина за данни е като магистрала с повече платна, което позволява по-голяма пропускателна способност за трафика.

Данните в компютъра се предават като цифрова информация, състояща се от нули и единици. В даден интервал от време всяка една от линиите на шината провежда 5V импулс (в новите системи по-ниско), с което се сигнализира бит със стойност 1, или 0V, с което сигнализира бит със стойност 0. Колкото повече са линиите, толкова повече битове могат да се изпратят наведнъж. Чиповете 286 и 386SX имат по 16 извода за предаване и приемане на такива данни, т.е. те имат 16-битова шина за данни. Следващите модели на Intel (след 386DX и 486) имат два пъти повече изводи, предназначени за предаване на данни и следователно те са с 32-битова шина за данни. Модерните процесори от типа Pentium имат 64-битови външни линии за данни. Това значи, че всички процесори от Pentium, Athlon, Pentium 4, Itanium имат 64-битова шина за данни.

Друга важна роля на ширината на шината за данни е че тя дефинира и размера на банките памет от които се чете или записва информацията. Така например, 32-битов микропроцесор, какъвто е 486, чете и записва в паметта 32 бита едновременно. Процесорите Pentium четат и записват 64-бита. Тъй като стандартните 72-пинови модули памет с едноредово разположение на изводите SIMM са широки само 32 бита (другите изводи са за адреси и управляващи сигнали), те могат да се инсталират поединично в системите от типа

486, а в системите Pentium трябва да се комплектуют по двойки (за да осигурят 64 линии за данни). Новите модули памет с двуредово разположение на изводите DIMM са широки 64 бита и в системите Pentium те могат да се монтират поединично.

Шини за адреси.

Адресната шина е набор от проводници (линии), пренасящи адресираща информация - информация за описване на местоположението в пространството на паметта, където данните се изпращат или откъдето се четат. Както и при шината за данни, всеки проводник от адресната шина пренася един бит информация. Този единичен бит представлява отделна цифра от адреса на клетката в паметта. Колкото повече проводници се използват за формиране на адресите, толкова по-голям е общия брой възможни адреси на клетки в паметта. Размерът (ширината) на адресната шина определя максималното количество RAM памет (оперативна памет), която може да адресира микропроцесора.

Шината за данни и адресната шина са независими и могат да се използват произволни размери за всяка от тях. На практика обаче, чиповете с по-големи шини за данни имат и по-големи адресни шини. В следващата таблица са дадени размерите на адресните шини на микропроцесорите за РС компютри.

Таблица 4.1. Адресни шини за РС процесори

Процесорна фамилия	Адресна шина	Адресируема памет
088/8086	20-битов	1 MB
286/386SX	24-битова	16 MB
386DX/486/Pentium	32-битова	4 094 MB
Pentium II, III, 4	36-битова	65 536 MB
Itanium	44-битова	16 777 216 MB

Вътрешни регистри (вътрешна шина за данни)

Регистрите представляват клетки памет за съхраняване на информация вътре в микропроцесора. Размерът на вътрешните регистри определя колко информация е способен да обработва процесорът едновременно и как той премества данните вътре между собствените си устройства. Преместването на данните между устройствата на микропроцесора се извършва по линии, които се наричат вътрешна шина за данни. Размерът на регистрите е същият както размерът (ширината) на вътрешните шини.

Когато микропроцесорът извършва някаква обработка на информацията той използва регистрите за да разположи данните преди обработката. Така например, процесорът може да събира числа, разположени в два регистъра и да записва резултата в трети регистър. Размерът на регистрите определя размера на данните върху които процесорът може да оперира. Големината на регистрите също определя и типа софтуер или командите и инструкциите, които процесорът може да изпълнява. Това означава, че процесорите с 32-битови регистри могат да изпълняват 32-битови инструкции, които обработват 32-битови данни. Всички микропроцесори от 386 до Pentium 4 имат 32-битови вътрешни регистри. Микропроцесорите от новото семейство IA-64 (Itanium) има 64-битови регистри.

Някои процесори имат вътрешна шина за данни и регистри, които са по-големи (по-широки) от външната шина за данни. Примери за такива структури са системите 8088 и 386SX. Всеки от тези чипове има два пъти по-широка вътрешна шина за данни и регистри в сравнение с външната процесорна шина. Такива системи се наричат *хибридни* дизайни и се явяват евтини версии на 'истинските' чипове. Така например, 386SX предава данните вътре в процесора по 32 бита едновременно, но при обмяна на данни с външните устройства и паметта комуникацията е ограничена до 16 бита. Това е позволило на проектантите да изготвят евтин вариант на дънна платка, което е било важно за този период.

Когато вътрешните шини са по-големи от външните, микропроцесорът се нуждае от два машинни цикъла за да запълни даден регистър с данни по външната шина. Процесорът

386SX може да запълни един регистър на два пъти по 16-битовата външна шина, докато 386DX извършва зареждането за един машинен цикъл.

При процесорите Pentium размерът на вътрешната и външната шина също е различен, но случая е обратен – външната шина е 64-битова, а вътрешната – 32-битова. Това на пръв поглед създава впечатление, че вътрешната шина и регистрите ще забавят трансфера на данните с външната шина, но трябва да се отбележи, че процесорите Pentium имат два вътрешни 32-битови конвейера за обработка на данните. Така един 32-битов Pentium може да се опише на два паралелни 32-битови чипа.

Микропроцесорите имат регистри, които могат да бъдат групирани в няколко групи: регистри с общо предназначение, системни адресни регистри, сегментни регистри, регистри на копроцесора (блока за обработка на числа с плаваща запетая), управляващи регистри, регистър на флаговете, регистър за инструкции, регистри за тестване и други.

Условно един микропроцесор от фамилията Intel може да се раздели на изпълнителен блок EU (Execution Unit) и устройство за връзка със системната шина BUI (Bus Interface Unit). В изпълнителния блок се намира аритметично-логическото устройство и регистрите с общо предназначение. Аритметическия блок включва аритметично-логическо устройство, спомагателни регистри за съхраняване на операндите на инструкциите и регистър на флаговете.

Регистрите с **общо предназначение** обикновено са осем на брой и имат ширина равна на разрядността на микропроцесора (32 бита за Pentium процесори). Те се означават като AX, BX, CX, DX, SP, BP, SI, DI и са достъпни за използване от набора команди с които работи микропроцесорът. Първата група от четири регистъра (AX, BX, CX, DX) представляват регистрови двойки съставени от по 16 бита и осигуряват съвместимостта с по-старите 16-битови микропроцесори. Те имат следните наименования: акумулатор AX, състоящ се от регистри AH и AL (старши - H и младши – L регистър); базов регистър (Base Register) BX, състоящ се от регистри BH и BL; брояч (Count Register) CX включващ регистри CH и CL и регистър за данни (Data Register) DX, съдържащ регистри DH и DL. Всеки от 16-битовите регистри може да се използва или самостоятелно или като двойка регистри. Условните названия (акумулатор, база, брояч, данни) не ограничават използването им – те само указват най-честото им приложение в програмите.

AH	AL	AX (Акумулатор)
BH	BL	BX (Базов регистър)
CH	CL	CX (Брояч)
DH	DL	DX (Регистър за данни)
SP		Адрес на стека
BP		Базов адрес
SI		Адрес на източника
DI		Адрес на приемника

Фиг. 4.1 Регистри с общо предназначение

Регистрите SP, BP, SI и DI обикновено се използват за работа с адреси в паметта.

Втората група регистри се наричат **адресни** или **сегментни** регистри. Те имат определено функционално предназначение и не се препоръчва използването им за други цели. Основно тези регистри се използват за съхраняване на числова информация използвана при формиране на адреси в паметта на компютърната система. В защитен режим на работа на микропроцесора с тези регистри се задава селектор за избор на сегмент от паметта. Тъй като адресацията на паметта се управлява от операционната система в тези регистри се съхранява

информация, която не трябва да се променя от приложните програмисти и потребителите, част от тези регистри е програмно недостъпна ('скрити' сегментни регистри) - фиг. 4.2.

15	0 47	"Невидима" част на сегментните регистри	16
CS			
SS			
DS			
ES			
FS			
GS			

Фиг. 4.2. Сегментни регистри

Сегментните регистри се използват от устройството за връзка със системната шина (BIU), чрез които се определят физическите адреси в паметта където се намират командите и данните. Те се означават по следния начин: **CS** (индекс за сегмента за командите - програмата), **DS** (индекс за сегмента на данните), **SS** (индекс за сегмента на стека) **ES**, **FS** и **GS** - допълнителни сегментни регистри.

Системните регистри се използват само в защитен режим на работа на микропроцесорите от програмите имащи най-високо ниво на приоритет. Те имат достъп до системните ресурси и използват специални команди за трансфер на данни.

Управляващите регистри CR0, CR1, CR2, CR3, CR4 са 32-битови регистри и се използват за задаване на различни режими на работа на микропроцесора, базови адреси на таблиците с каталога на страниците при странична организация на паметта и някои разширени функционални възможности на микропроцесорите от типа Pentium.

Системните адресни регистри GDTR, LDTR, IDTR и TR са 48-битови и съдържат адресите на дескрипторните таблици (параграф 5.1.6). **Регистрите за тестване** DR0 - DR7 са 32-битови и се използват от системните програми и имат най-високо ниво на приоритет.

Регистър **IP** (Instruction Pointer) се използва за съхраняване на указател към адреса на поредната команда, която трябва да се зареди в конвейера за изпълнение. Понякога този регистър се нарича брояч на команди. Към управляващите регистри се отнася и **регистърът на флаговете**. За разлика от другите регистри, в регистъра на флаговете всеки бит има самостоятелно значение. Обикновено битовете на флаговия регистър се установяват апаратно при изпълнение на отделните операции в аритметично-логическото устройство. Част от тези битове се използват, за да се фиксират някои свойства на получения резултат от дадена операция (нулев резултат, отрицателно число, пренос към по-старши разреди, препълване и т.н.). Други битове имат служебно предназначение (например, съхраняват разряд отпаднал от аритметично-логическо устройство при изместване на битовете – побитови операции). В редица битове се съхраняват признаци за състоянието на микропроцесора при обработка на изключения, а една част от тях се явяват резервни.

Другите типове регистри са регистрите на блока за работа с числа с плаваща запетая FPU (Float Point Unit). В състава на FPU процесора (нарича се още копроцесор) влизат осем регистъра за данни. Тези регистри имат 80-разрядна структура разделена на три полета: знак, мантиса и порядък. Работата на тези регистри е организирана във вид на кръгов стек. В групата на FPU регистрите влизат и три 16-битови управляващи регистри, които се използват при организацията на работа на копроцесора.

4.1.5 Конвейерна обработка на инструкциите (суперскаларна архитектура)

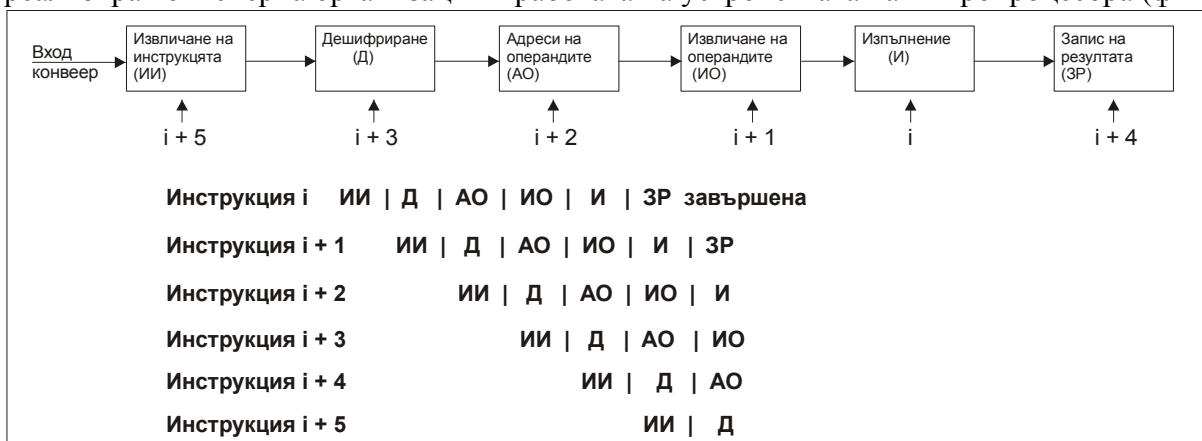
При 32-битовите микропроцесори са въведени вътрешни конвейери за изпълнение на инструкциите, което им позволява да изпълняват няколко инструкции едновременно. Тази технология осигурява допълнителна производителност спрямо по-ранните поколения компютърни системи.

Конвейерната архитектура обикновено се свързва с високопроизводителните RISC процесори. RISC процесорите имат опростен набор инструкции, които освен че са по-прости, са и по-малко на брой. Въпреки че всяка инструкция върши по-малко работа, като цяло тактовата честота може да бъде по-висока, което увеличава производителността.

Обикновено CISC процесорите използват по-богат и по-пълен набор от инструкции. Някои от тези инструкции са доста сложни. За изпълнението им се налага те да бъдат разделени на няколко по-прости операции. Например, една операция за сумиране на две числа (данни), намиращи се в паметта, изисква да се изпълнят няколко по-прости операции: извличане (прочитане) на инструкцията от паметта, декодиране (дешифриране) на командата, формиране на адресите на данните, които се обработват, извличане на данните (операндите) от паметта и записването им в регистрите, изпълнение на операцията (сумиране), записване на резултата в паметта и т.н. Тези прости операции общо взето съответстват на набора операции, характерни за RISC процесорите. Както се вижда, разликата между RISC и CISC процесорите се състои в това, че CISC процесорите имат вътрешно машинно реализирани по-сложни команди, които обаче са съставени от по-прости (RISC) инструкции.

При RISC процесорите отделните етапи от изпълнението на една сложна команда се изпълняват от отделни, независими електронни устройства. Това позволява подреждането на тези устройства в конвейерна верига за последователно изпълнение на инструкциите. Терминът е заимстван от машиностроителната индустрия и описва сходна структура, както конвейера в типичните машиностроителни производства.

В определен момент дадена инструкция се обработва в някое от устройствата на конвейера и след това преминава в следващото. Устройствата през които е преминала дадена инструкция не са натоварени до края на изпълнение на командата и би трябвало да престояват през този период от време. За да не се получава това, тези устройства могат да започнат изпълнение на следващата команда паралелно с изпълнението на текущата. Така се получава застъпване на отделните етапи в изпълнението на няколко операции, което реализира конвейерна организация в работата на устройствата на микропроцесора (фиг.4.3).



Фиг. 4.3. Конвейерна обработка на инструкциите

В даден момент от време всяко устройство обработва различна команда, която се намира в различна степен на завършеност. Когато една инструкция влиза в конвейера, друга излиза, а още няколко се намират в конвейера на различен етап от изпълнението ѝ. Броят на

устройствата в конвейера е различен за различните микропроцесори. Понякога броя на устройствата в конвейера се нарича ширина на конвейера. Ако се приеме, че броя на устройствата в конвейера е n , то би трябвало производителността на микропроцесора да се увеличи n пъти в сравнение с безконвейерния микропроцесор. Това е така само в случаите, когато програмата не съдържа инструкции за преход (инструкцията която следва зависи от резултата на текущата инструкция) и когато отделните инструкции са с еднакво времетраене и всички операции минават през всички устройства. На практика тези условия трудно се изпълняват за цялата програма, поради което производителността е по-ниска от теоретичната.

Микропроцесорите при които за първи път се използва тази технология (80386) има 6 степенна конвейерна организация. В съвременните микропроцесорни системи (от типа Pentium) се използват по няколко конвейерни вериги. Intel наричат възможността за изпълнение на инструкциите в повече от една конвейерна верига *суперскаларна* технология.

4.1.6 Кеш памет.

Основната памет на компютърните системи (RAM) се реализира с относително бавна динамична памет (DRAM). Обръщението към тази памет обикновено води до престой на микропроцесора за изчакване на зареждането на информацията от паметта. Статичната памет (SRAM) е изпълнена от тригерни елементи и може да работи с честотата на микропроцесора. Тя не се използва като масова оперативна памет поради високата си цена. Освен това, данните от основната памет се трансформират до микропроцесора посредством системната шина, чиято честота е доста по-ниска от честота с която работи микропроцесора.

Разумен компромис за изграждане на икономични и производителни системи е използването на йерархичен способ на организация на паметта. Идеята е да се съчетае голям обем DRAM памет с относително неголяма, но бърза SRAM памет, работеща с честотата на микропроцесора. Такава памет се нарича кеш-памет.

Значението на думата 'кеш' е 'таен склад'. В компютърните системи този склад е 'прозрачен' – за програмите той не представлява допълнителна адресируема памет. Кеш паметта се явява допълнителен бързодействащ склад за адресируемата памет в компютърната система.

Вътрешната кеш-памет представлява бърза буферна памет, която обикновено се вгражда в схемата на микропроцесора. В процеса на работа отделни блокове информация (данни или програмен код) се копират от основната памет (RAM) в кеш-паметта. Тази процедура на копиране се нарича кеширане. В съответствие с алгоритъма на кеширане определени блокове от паметта се копират в кеш-паметта и заместват други блокове, които вече са били използвани от микропроцесора.

Когато микропроцесорът се обръща за прочитане на команда или данни, специален кеш контролер проверява дали те не се намират в кеш-паметта. Ако необходимата информация е там, тя се извлича много бързо, тъй като процеса се извършва с тактовата честота на микропроцесора. Такъв случай на обръщение към паметта се нарича кеш попадение (cache hit). Ако необходимата информация не се намира в кеш-паметта тя се зарежда от основната памет (RAM) и едновременно се записва в кеш-паметта. Такъв случай се нарича кеш пропуск (cache miss).

Повишаването на бързодействието на компютърните системи се получава, когато кеш попадения се реализират много по-често отколкото кеш пропуските. Висок процент на кеш-попадения се получава, благодарение на това, че в по-голямата част от случаите обръщението към клетки от паметта се извършва в области, които са използвани преди това.

В съвременните компютри кеш паметта обикновено се изпълнява на две нива (в най-новите микропроцесори и на три нива). Първичният кеш (L1 cache) се нарича вътрешен кеш и се вгражда в схемата на микропроцесора. Неговият обем е малък (8 – 32 kB). В най-новите модели микропроцесори L1 cache е 64 kB и повече. За повишаване на производителността на

микропроцесорите, за данни и програмен код понякога се използва отделна кеш памет - **Харвардска архитектура**. Когато първичната кеш памет е обща и за данни и програмен код микропроцесорът е с **Принстънска архитектура**.

Вторичната кеш памет (L2 cache) се разполага или в кристала (чипа) на микропроцесора или отделно от него на обща платка (Pentium P6). Тази памет се свързва с микропроцесора посредством вътрешна шина на микропроцесора (back side bus) – задна шина. Капацитетът на тази памет е значително по-голям – 256 kB, 512 kB или 1 MB.

Кеш контролерът обезпечава така наречената кохерентност (съгласуваност) на данните от кеш паметта и данните в основната памет. Това е особено важно, тъй като към тези данни може да се обръща не само микропроцесорът но и други активни устройства (адаптери) включени към различните шини в компютърната система. Трябва да се има пред вид и това, че микропроцесорите могат да бъдат няколко и всеки да има собствена кеш памет.

Контролерът на кеш паметта оперира с *низове (cache line)* с определена дължина. Низовете съхраняват блок от паметта имащ дължина каквато е дължината на низа. С всеки низ е свързана информация за адреса на блока в основната памет, който се съхранява в низа. Информацията за съхранявания блок от паметта в низа се нарича *tag (tag)* и е записана в специална памет (памет на таговете).

В зависимост от начина на установяване на взаимно съответствие между низовете и блоковете от паметта се различават три вида архитектура на кеш паметта: кеш с пряко изображение (direct mapped cache); напълно асоциативен кеш (fully associative cache) и наборно-асоциативен кеш (set-associative cache).

Кеш с пряко изображение. При тази архитектура адресът в паметта, към който се извършва обръщение, еднозначно се определя от кешовия низ, в който е копиран съответния блок от паметта. За целта основната памет условно се разделя на страници, които са с големина, колкото е кеш-паметта. Например, ако кеш-паметта е 256 kB, то основната памет (RAM) се разделя на страници по 256 kB. Кеш-паметта (и всяка отделна страница от основната памет) се разделят на низове, например по 32 B. Архитектурата на прякото изображение предполага, че всеки низ от кеш-паметта може да съдържа (изобразява) блок от коя да е страница на основната памет, съответстваща на низа в кеш-паметта. Например, първият низ от кеш-паметта може да изобразява само първите 32 B на всяка страница от основната памет, вторият низ – вторите 32 B от основната памет и т.н.

Доколкото основната памет е много по-голяма от кеш-паметта, то за един низ от кеш-паметта могат да претендират множество блокове памет от различните страници в паметта. Един низ от кеш-паметта в определен момент може да съдържа копие на съответен блок само от една страница от основната памет. Номера на низа в кеш-паметта се нарича индекс (относителен адрес в дадена страница), а тага съдържа информация за това, блок от коя страница на основната памет е копирана в момента в низа.

Основен недостатък на тази архитектура е, че ако в процеса на изпълнение на дадена програма се изискват блокове памет изместени един от друг на разстояниекратно на една страница, кешът ще работи интензивно, но с големи кеш-пропуски. Поредното обръщение ще чете данни от паметта и ще замества други, които ще са необходими в някое от следващите обръщения.

Кешът с пряко изображение има много проста апаратна реализация и се използва за организация на вторичната кеш-памет в по-голяма част от процесорните системи.

Асоциативен кеш. При асоциативния кеш всеки низ от кеш-паметта може да изобразява кой да е блок от основната памет. Това повишава значително ефективността на работа на кеш-паметта, но усложнява организацията. В паметта на таговете се съхранява целият адрес на копираните данни. При такава архитектура за определяне на местоположението на необходимите данни в кеш-паметта трябва да се проверяват таговете

на всички нивове. Това в много случаи е свързано с разход на допълнително време. Другият начин е паралелен анализ на всички тагове, което изисква сложна апаратна схема на кеш-контролера. Използва се в някои процесори за L1 кеш, обикновено разполагащи с малка първична кеш-памет. Тази архитектура не се използва за вторична кеш-памет (L2).

Наборно-асоциативен кеш. Това е смесена организация на кеш-паметта използваща елементи на първите две архитектури. При нея всеки блок от основната памет може да претендира за един от няколко низа, обединени в набор (set). В този случай има няколко паралелно работещи канала за пряко изобразяване, където контролерът на кеш-паметта определя в кой от нивовете от даден набор ще копира съответния блок от паметта. Най-простият случай е когато всеки набор се състои от два низа (Two Way SetAssociative Cache). Такъв кеш трябва да има две банки кеш-памет и тагове за тях. Тогава всеки блок от паметта може да бъде копиран в един от двата низа от набора съответстващ на този блок.

Наборно-асоциативната архитектура се използва широко за организация на първична (L1) кеш-памет в съвременните микропроцесори. Обемът на кешируемата памет се разпределя както при архитектурата с пряко изображение, но страниците се определят от паметта на една банка от кеша, а не от цялата кеш-памет.

4.1.7 Математически копроцесор.

Математическият копроцесор е предназначен за разширяване на изчислителните възможности на централния процесор - изпълнение на аритметически операции, математически функции и други. В различните поколения процесори той е носил различни наименования - FPU (Floating point Unit - процесор за числа с плаваща запетая) или NPX (Numeric Processor Unit - числов процесор). Прилагането на математическия копроцесор повишава производителността на изчислителната машина многократно.

Физически копроцесорът може да е отделна микросхема (8087, 80287 и 80387 за модели 386 и по-ниски), които се включват към локалната шина на микропроцесора. В този случай централния процесор и копроцесора се свързват посредством специален интерфейс. Процесорите 486 и по-нови модели имат само встроени копроцесори и за тях не се предвижда интерфейс за връзка с централния процесор. Копроцесора изпълнява специфични команди, но цялата дейност по декодиране на инструкциите се изпълнява от CPU. Той може да работи паралелно с централния процесор, без да е зависим от превключването на задачите в защитен режим.

Копроцесорът съдържа блок от регистри за данни, регистри за управление и група регистри за състоянието и указатели. Регистрите за данни са с разрядност 80 бита и са организирани в стек.

4.1.8 MMX и 3DNow! технология.

Технологията MMX е абревиатура на понятието мултимедийни разширения (MultiMedia eXtensions) или матрични математически разширения (Matrix Math eXtensions). MMX се състои от две архитектурни подобрения в централното процесорно устройство. Първото се отнася до увеличаване на кеш-паметта от първо ниво (L1). Това подобрява значително производителността на компютърната система. Другото подобрение се отнася до въвеждане на допълнителни операции на микропроцесора, свързани с обработката на специфични данни използвани в мултимедийните приложения. При обработката на видео, аудио, графика или анимация се използват специфични повтарящи се цикли, които в много случаи заемат над 90% от времето за обработка на данните. MMX технологията е насочена към облекчаване на обработката на този тип информация.

MMX технологията е ориентирана за използване в 2D/3D графичните мултимедийни приложения и комуникациите. Това разширение на базовата архитектура се появява във второто поколение процесори Pentium. Основната идея на MMX се заключава в

едновременната обработка на няколко елемента от данни за една инструкция на микропроцесора SIMD (Single Instruction - Multiple Data). Технологиата MMX използва нови типове опаковани 64-битови целочислени данни. Тези данни могат да се обработват по специален начин в регистри MMX0-MMX7, представляващи младшите битове на стека на 80-битовите регистри на FPU (регистрите на копроцесора за операции с плаваща точка). Съвпадението на регистрите MMX и FPU налага ограничения на последователността на операциите използващи FPU и MMX. Отговорността за организацията на съвместното използване на тези регистри е оставена на програмистите.

Една от особеностите на MMX технологиите е подържането на аритметика с насищане (saturating arithmetic). Тя се отличава от обикновената аритметика с циклическо препълване (wraparound mode) по това, че при препълване в резултата се фиксира максимална възможна стойност за дадения тип данни, а преноса се игнорира. При препълване надолу, резултатът се фиксира на минимална възможна стойност.

MMX технологията се реализира чрез 57 допълнителни инструкции за едновременна обработка на няколко единици данни. Едновременната обработка на 64-битова дума може да съдържа както една единица данни така и 8-еднобитови, 4-двубитови или 2 4-битови данни. За извършване на съответните операции данните предварително се опаковат в 64-битови единици.

През 1999 година Intel представи микропроцесора Pentium III, в който е въведено допълнение към MMX технологията, чрез добавяне на нови инструкции на микропроцесора. Тези команди се отнасят до така наречените 'поточни SIMD разширения' (Streaming SIMD Extension – SSE). SSE включва 70 нови инструкции за обработка на графика и звук.

SSE2 технологията беше представена през 2000 година с появата на модела Pentium 4. Тя съдържа 144 допълнителни SIMD команди. SSE и SSE2 инструкциите са много полезни при MPEG2 декодирането, което е стандартна схема за компресия при DVD дисковете.

Технология **3DNow!** беше въведена от AMD в процесорите K6-2 като алтернатива на SSE технологията на Intel. Тя позволява да се работи с нов тип данни - двойка опаковани числа с плаваща точка. Тези числа заемат по 64 бита в регистрите на MMX. По-късно беше добавена **Enhanced 3Dnow!** към процесорите Athlon и Duron.

4.1.9 Програмен модел на 32-битови микропроцесори

32-битовите микропроцесорите съдържат в основата си концепциите залегнали още в първия модел от това семейство – **i80386**. В този модел на Intel се преодолява твърдото ограничение за дължина на непрекъснатия сегмент от паметта от 64 KB. В защитен режим при 32-битовите микропроцесори тази граница е преместена до 4 GB – предел, който по времето на създаване на **i80386** е бил почти равнозначен на безкрайност. Освен това, тези микропроцесори подържат виртуална памет с обем до 64 TB (терабайта - 10^{12} байта). Това се постига посредством встроения блок за управление на паметта MMU, поддържащ механизъм за сегментация и странична организация на адресите (Paging). Предвидена е система за защита на паметта при операции за въвеждане и извеждане на информацията и при превключване на задачите, която действа на четири нива. Процесорите могат да работят в два режима, като превключването между тях е доста бързо и надеждно:

Real Address Mode – режим на реална адресация (реален режим – Real Mode), който е напълно съвместим с режима на работа на **i8086**. В този режим е възможна адресация до 1 MB физическа памет.

Protected Virtual Address Mode – защитен режим на виртуална адресация (защитен режим – Protected Mode). В този режим процесорът може да адресира до 4 GB физическа памет, чрез които с използване на странична организация може да се оперира с 64 TB виртуална памет за която и да е задача.

Основни понятия на защитения режим

Защитеният режим е предназначен за обезпечаване на независимо изпълнение на няколко задачи, при които се осигурява защита на ресурсите на една задача от възможни въздействия на друга задача. Основен защитаван ресурс се явява паметта, в която се съхранява кода на програмата, данните с които работи и различни системни таблици. От защита се нуждае и съвместно използваната апаратура, обръщението към която се извършва чрез операциите за вход/изход и прекъсванията. В защитен режим микропроцесорът апаратно реализира много функции на защита включително и механизма на виртуалната памет.

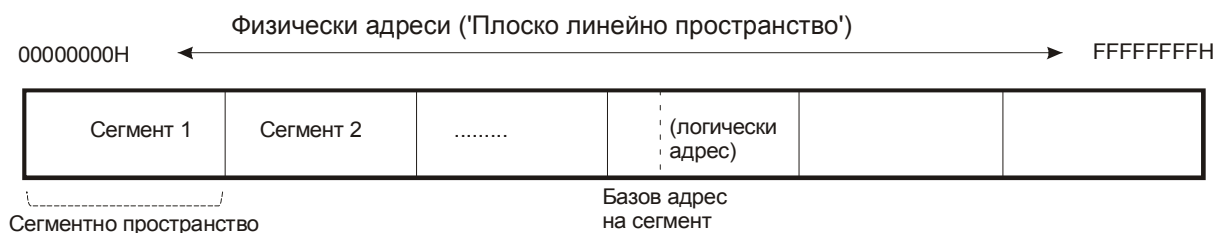
Защитата на паметта се основава на принципа на сегментацията. В основата на този принцип е понятието *сегмент* - блок от пространството на паметта с определено предназначение. Към елементите на даден сегмент може да се извършва обръщение с инструкции на микропроцесора, използващи различни режими за формиране на адрес вътре в сегмента. Максималният размер на сегмента е 4 Гигабайта. Сегментите в паметта на компютърните системи се формират от операционната система. В реален режим всяка задача може да предефинира сегментните регистри, задаващи разположението на сегмента в пространството на паметта, и да 'навлезе' в област на чужди данни или код. В защитен режим сегментите се определят от операционната система, но приложните програми могат да използват само разрешените им за използване сегменти, предварително подбрани от специална таблица на дескрипторите на сегментите.

Процесорът може да се обръща само към сегменти в паметта, за които има *дескриптори* в дескрипторната таблица. *Дескрипторите* представляват 8-байтови структури от данни, използвани за определяне на свойствата на програмните елементи (сегменти, таблици). Дескрипторът определя положението на елемента в паметта, размера на заетата памет (лимит), предназначението му и характера на защитата на паметта в елемента. Всички дескриптори се съхраняват в специални таблици (дескрипторни таблици), обръщението към които се поддържа *апаратно* от микропроцесора.

Защитеният режим предоставя средства за превключване на задачите. Състоянието на всяка задача (данните намиращи се в съответните регистри за управление на процесите) може да бъде съхранено в специален сегмент за състояние на задачите TSS (Task State Segment), адресът на който се определя от селектор намиращ се регистъра на задачите. При превключване на задачите е достатъчно да се зареди в регистъра на задачите нов селектор (за друга задача) и състоянието на текущата задача автоматично се записва в TSS, а в процесора се зарежда състоянието на друга задача (нова или по-рано прекъсната) и се продължава с нейното изпълнение.

4.1.9.1 Организация на паметта и сегментация

Физическата памет на 32-битова компютърна система е организирана като поредица от 8-битови полета (байтове). На всеки байт е съпоставен адрес, който представлява число от 0 до $2^{32}-1$ (4 GB - гигабайта). Програмите написани за този тип компютърни системи не са зависими от физическото адресно пространство на паметта. Това означава, че програмите могат да бъдат писани без да се знае каква е наличната физическа памет в компютъра и къде в паметта ще бъдат разположени инструкциите и данните за програмата. Моделът на организация на паметта, допустим за приложните програмисти се определя от дизайнерите на системния софтуер (операционни системи, компилатори и други). Моделът на организация може да бъде (фиг. 4.4):



Фиг. 4.4 Модел на адресното пространство в компютърните системи

- “Плоско” линейно пространство, състоящо се от един непрекъснат масив с големина до 4 GB.

- Сегментирано адресно пространство, състоящо се от линейни пространства (до 16383 броя) всяко с определена големина не надхвърляща 4 GB.

При “плосък” модел на организация на паметта, приложните програмисти разполагат с един масив от максимум 4 GB физическа памет. Обикновено, тази памет е много по-малка в съвременните масово разпространени компютърни системи. Процесорът пренасочва 4-те гигабайта плоско адресно пространство във физическото пространство посредством специален транслиращ механизъм (параграф 4.1.9.2). Приложните програмисти могат да не са запознати детайлно с този механизъм.

Указател в плоското адресно пространство е 32-битов пореден номер. Разполагането на компилираните програмни модули в това пространство се извършва от системния софтуер (свързващи програми, операционна система).

В сегментирания модел на организация на паметта, за потребителските програми адресното пространство е много по-голямо - до 2^{46} байта (64 TB - терабайта). Процесорът пренасочва 64-те терабайта във физически адреси (до 4 гигабайта) посредством специален механизъм за адресна трансляция. Приложните програмисти разполагат с **логическо** адресно пространство, което представлява набор от максимум 16383 едномерни подпространства, които имат определена дължина. Всяко от тези линейни подпространства се нарича сегмент. Сегментът е поредица от последователни адресни участъци. Адресите в сегментите започват от 0 и се наричат логически адреси. Истинският физически адрес се получава като към логическия адрес се прибави базовия адрес на сегмента. Големината на сегментите може да бъде от един байт до 4 гигабайта.

4.1.9.2 Управление на паметта

32-битовите микропроцесори трансформират логическите адреси (адреси с които работят програмистите) във физически адреси (адреси във физическата памет - чиповете) на две стъпки.

- Сегментно преместване, при което логическия адрес се преобразува в линеен адрес. На този етап се установява в кой сегмент се намира адреса и този сегмент се разглежда като линейно пространство (другите сегменти се игнорират).

- Странично преместване, при което линейния адрес се преобразува във физически. Тази стъпка не е задължителна. Тя се използва, ако сегментите са разделени на страници.

Трансформацията на адресите се извършва без участието на приложните програмисти. Архитектурата на микропроцесорите и операционната система са съобразени с приетата организация на паметта и те се грижат за правилната адресация на паметта.

За да се извърши трансляцията на логическите адреси във физически процесорът използва следните структури от данни:

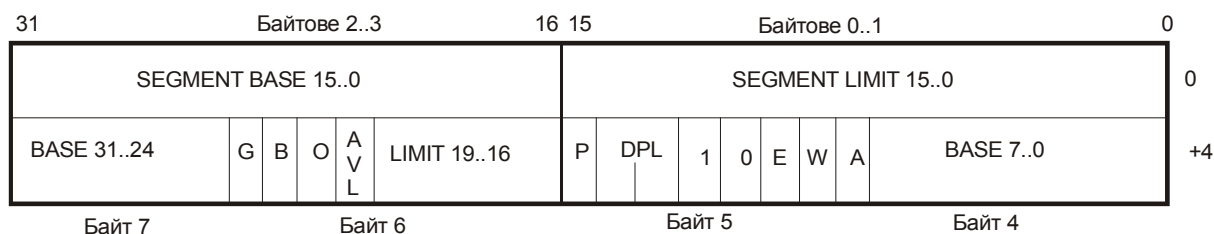
- дескриптори (описатели) ;
- дескрипторни таблици;
- селектори;
- сегментни регистри.

Дескриптори. Дескрипторите предоставят на процесора данни, които са необходими за преобразуване на логическите адреси във физически. Дескрипторите се създават от компилатори, свързващи редактори, зареждащи програми или операционни системи и имат определен формат. Те не се създават от приложни програмисти. Всеки сегмент има дескриптор, който задава характеристиките му. Всеки дескриптор съдържа 8 байта (4 машинни думи) и има следните полета (фиг.4.5):

- *База* - дефинира разположението на сегмента в 4 гигабайтово линейно адресно пространство. Тя се състои от три части и процесорът ги съединява за да формира 32-битова стойност.

- *Лимит* - дефинира размера на сегмента. Състои се от две части и когато процесорът ги съедини се получава 20-битова стойност, която се интерпретира по един от двата възможни начина в зависимост от полето за надробеност G:

1. По единици от 1 байт, като се дефинира лимит от 1 мегабайт (G=0);
2. По единици (страници) от по 4 килобайта, като се дефинира лимит до 4 гигабайта (G=1).



Фиг. 4.5. Дескриптор на сегмент за данни

- Битове за управление - това са битове в младшите думи на дескриптора 23..20 и 15..8 (12 бита), които определят дали сегмента е разположен в паметта (P=1; при странична организация), привилегиите на сегмента (DPL), начина на използване на информацията и някои други управляващи флагове.

Дескрипторни таблици. Съществуват три типа дескрипторни таблици - локални таблици на дескрипторите (LDT - Local Descriptor Table); глобална таблица на дескрипторите (GDT - Global Descriptor Table) и таблица на дескрипторите на прекъсванията (IDT - Interrupt Descriptor Table). Размерите на дескрипторните таблици могат да бъдат от 8 байта (1 дескриптор) до 64 kB (8192 дескриптора). С всяка от тези таблици е свързан съответен регистър на микропроцесора. Регистрите GDTR и IDTR имат програмно достъпно 16-битово поле за лимит, задаващо размера на таблицата и 32-битово поле за базовия адрес на дескрипторната таблица. В регистъра LDTR програмно достъпно е само 16-битово поле на селектора (адреса на дескриптор за даден сегмент), по което от GDT автоматично се зареждат програмно недостъпните и невидими полета на базовия адрес и лимита.

Таблицата GDT съдържа дескриптори на сегменти, които могат да се използват от системата при изпълнение на различни задачи. В GDT се намират и дескрипторите на локалните дескрипторни таблици. Таблиците LDT съдържат дескриптори на сегменти, използвани при решаване на конкретни задачи. Броят на създаваните LDT таблици се определя от операционната система и зависи от броя на изпълняваните задачи. Общият брой на локалните дескрипторни таблици може да достигне до 8192. По принцип всяка задача може да има отделна LDT, която да включва дескрипторите на сегментите използвани от нея. Таблиците LDT могат да се използват съвместно от повече от една задача и тогава има частично или пълно припокриване на локалните дескрипторни таблици. Таблицата IDT обезпечава обслужването на процедурите обработващи изключенията.

Обръщението към даден дескриптор в таблицата се осъществява с помощта на **селектор**, зареждан в съответния сегментен регистър: CS, DS, ES, FS или GS. Селекторът представлява 16-битов указател (адрес), който има три полета (фиг. 4.6):

- поле RPL (битове 0-1) определя нивото на привилегия на съответния сегмент;
- поле TI (бит 2) е индикатор за типа на таблицата - при TI=0, таблицата е GDT, а при TI=1, таблицата е LDT.
- поле INDEX (битове 3-15) е индекс (номер) за избор на един от 8192 дескриптора съдържащи се в таблицата.



Фиг. 4.6. Формат на селектор

На дескрипторните таблици GDT, LDT и IDT съответстват специални регистри в микропроцесора - GDTR, LDTR и IDTR. Регистър GDTR съдържа 48 бита, от които старшите 32 бита задават базовия адрес на глобалната таблица на дескрипторите, а 16 младши бита указват границата (големината) на таблицата.

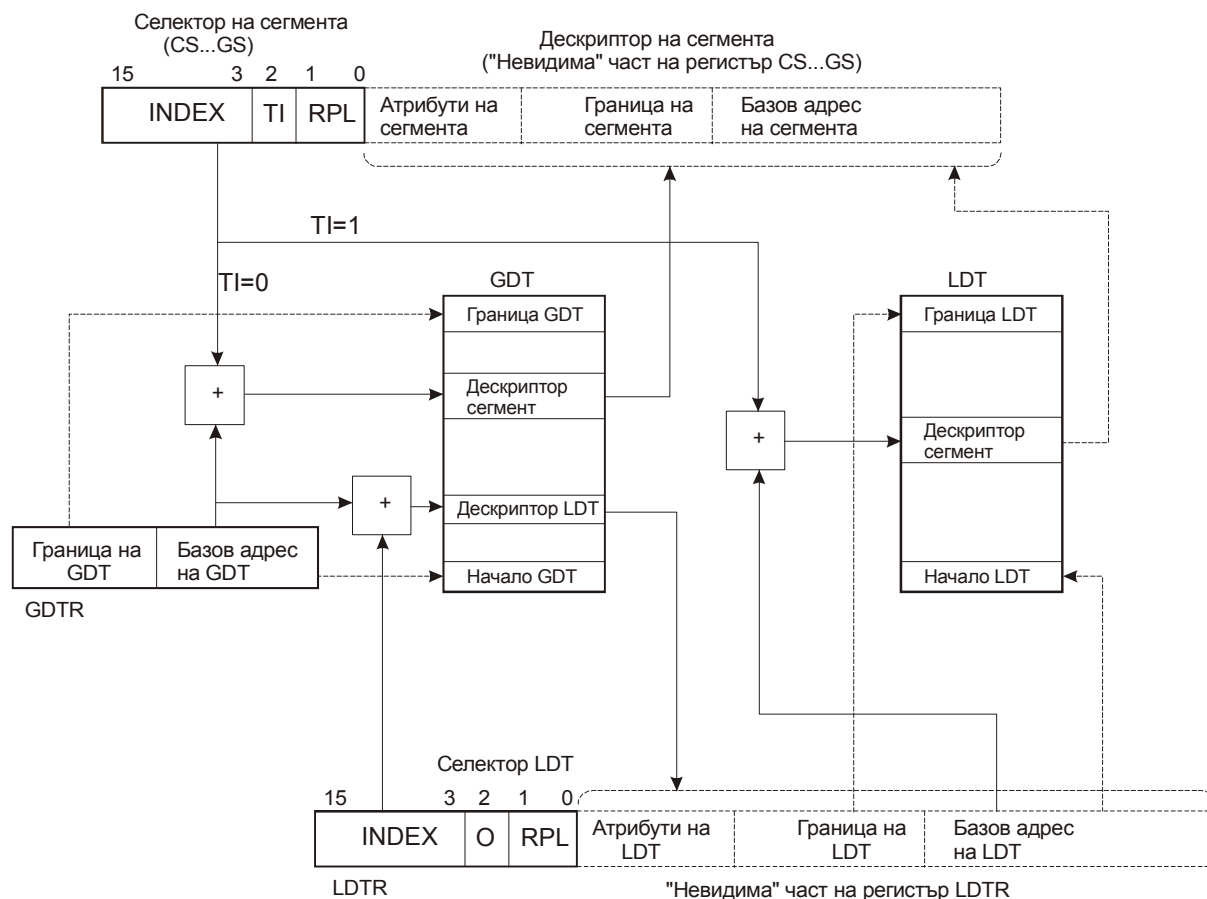
Регистър LDTR съдържа **16-битов селектор**, определящ разположението на дескриптора на локалната таблица в GDT. Другата част на регистъра се нарича индекс и той задава изместването, което се използва за формиране на адреса на локалната дескрипторна таблица. Дескрипторът на LDT съдържа 32-битов базисен адрес, 16-битова граница на сегмента съдържащ таблицата и атрибути определящи правата за достъп към таблицата. При зареждане в LDTR на **селектор на таблица LDT**, съответстващият дескриптор се копира от GDT във вътрешна програмно недостъпна част от LDTR ('скрит' регистър LDTR) - фиг. 4.7. Следователно, дадена локална таблица става активна, когато в 16-битовия селектор на LDTR се зареди адреса на дескриптора на таблицата от GDT.

Зареждането на регистрите GDTR и LDTR и записването на стойността им в паметта се извършва посредством специални команди на микропроцесора (LGDT, LLDT и SGDT, SLDT) с използване на сегментните регистри DS, ES, FS, GS и SS. Ако се зареди селектор в някой от **сегментните регистри** се извършва обръщение към глобалната дескрипторна таблица (GDT) или към локална дескрипторна таблица (LDT) в зависимост от стойността на управляващия бит TI (TI=0 - обръщение към GDT и TI=1 - обръщение към LDT). Когато има обръщение към GDT (TI=0) с помощта на някой от сегментните регистри се избира сегмент управляван от GDT. Когато обръщението към GDT е посредством регистъра LDTR се избира дескриптор на локална дескрипторна таблица. Индексната част на селектора определя относителното изместване на търсения дескриптор в съответната дескрипторна таблица. Този адрес с добавя към базовия адрес (адрес на началото на съответния сегмент) и се получава адреса на дескриптора. Данните от съответния дескриптор се зареждат в програмно недостъпната част на регистъра на локалната дескрипторна част (TI=0) или на селекторния регистър (TI=1). Тази информация съдържа базовия адрес и границата на сегмента, който става достъпен за приложните програми.

По такъв начин, в защитен режим програмно се задава логически адрес в паметта, където се съхраняват данни или програмни команди. Този адрес съдържа селектор (определящ сегмент) и относителен адрес вътре в този сегмент. С помощта на селектора и таблиците GDT и LDT, процесорът избира съответен дескриптор и се активира определен сегмент от паметта (фиг. 4.7). След това се формира линеен адрес на клетка от паметта като се сумира базовия адрес на сегмента и относителния адрес от селектора. Ако не се използва странична организация на паметта (в управляващият регистър CR0 бит 32 е нула - PG=0) полученият линеен адрес се явява физически адрес в реалното пространство на паметта.

При странична организация на паметта (в управляващият регистър CR0 бит 32 е единица - PG=1) паметта се разделя на страници с размер 4 kB 2 MB или 4 MB (използване на разширени 36-битови адреси).

Преобразуването на линеен адрес във физически при странична организация на паметта (в управляващият регистър CR0 бит 32 е единица - PG=1) е свързано с използването на специален каталог..



Фиг 4.7. Програмен модел на защитен режим на работа на CPU

4.1.9.3 Защита на паметта. Привилегии

Микропроцесорите имат специални средства, осигуряващи режим на защита от случаен нерегламентиран достъп до сегменти и страници съхраняващи се в паметта. Системата на защита има различни средства за контрол, които се реализират от микропроцесора. Към тези средства се отнасят:

- контрол за достъпа до сегменти и страници, който се определя от система за привилегии (приоритети);
- контрол за използване на сегментите и страниците, който използва редица ограничения за обръщение: забранен запис в сегменти или страници (сегменти и страници само за четене), забранено четене от сегменти или страници (разрешено само за изпълнение), забрана за обръщение към незареден (несъществуващ) сегмент и други;
- ограничаване на набора изпълними команди в зависимост от нивото на привилегии за дадено приложение.

В защитен режим процесорите имат четири степенна система на привилегии, която управлява използването на привилегировани команди и достъп до дескрипторите. Нивата на привилегии се номерират от 0 до 3, като най-високата привилегия съответства на нулево

ниво. Нивата на привилегия обезпечават защита на задачите, изолирайки ги една от друга посредством локалните таблици на дескрипторите.



Фиг.4.8. Нива на привилегии

Нивата на привилегии са показани на фиг.4.8. Най-ниско ниво на защита имат приложните програми на потребителя (ниво PL=3). Нивата с номера 0, 1 и 2 се предоставят на системните програми. Най-висока степен на защита има ядрото на операционната система, която има задача да инициализира системата за работа, да управлява достъпа до паметта и да изпълнява редица важни функции без които системата не може да работи.

4.2. Процесорни цокли и слотове.

В процеса на развитие на микропроцесорите за персоналните компютри, Intel и AMD създадоха множество различни начини на инсталиране на микропроцесорите към дънната платка на компютърните системи. Най-общо, различните комуникационни средства могат да се класифицират в две групи: цокли и слотове. Всеки цокъл или слот е проектиран да поддържа различен диапазон от оригинални микропроцесори или микропроцесори за ъпгрейд (надграждане). Различните цокли се характеризират с броя на изводите (крачета) и разположението им. Слотовете бяха въведени с появата на Pentium II микропроцесорите за да може чипът на L2 кеш-паметта и микропроцесорът да се разположат върху една обща платка. В следващата таблица са дадени най-често използваните цокли и слотове в съвременните компютърни системи.

Таблица 3.1 Процесорни цокли и слотове

Тип на цокъла	Изводи	Разположение на изводите	Напрежение V	Поддържани процесори
Socket 1	169	17x17 PGA	5	486 SX/SX2, DX/DX2, DX4, OverDrive
Socket 2	238	19x19 PGA	5	486 SX/SX2, DX/DX2, DX4, OverDrive, 486 Pentium OverDrive
Socket 3	237	19x19 PGA	5 / 3,3	486 SX/SX2, DX/DX2, DX4, OverDrive, 486 Pentium OverDrive, AMD 5x86
Socket 4	273	21x21 PGA	5	Pentium 60/66, OverDrive
Socket 5	320	37x37 PGA	3,3 / 3,5	Pentium75-133, OverDrive
Socket 7	327	37x37 SPGA	VRM	Pentium75-233+, MMX, OverDrive, AMD K5/K6, Cyrix M1/II
Socket 8	387	DP-SPGA	Auto VRM	Pentium Pro, OverDrive
Socket 370	370	37x37 SPGA	Auto VRM	Selerron/Pentium III
Socket PAC418	418	38x22 S-SPGA	Auto VRM	Itanium

Socket 423	423	39x39 SPGA	Auto VRM	Pentium 4,
Socket A (462)	462	37x37 SPGA	Auto VRM	AMD Athlon /Duron
Socket 478	478	26x26 mPGA	Auto VRM	Pentium 4
Socket 603	503	31x25 mPGA	Auto VRM	Xeon (P4)
Slot A	242	Slot	Auto VRM	AMD Athlon
Slot 1 (SC242)	242	Slot	Auto VRM	Pentium II/III Celeron
Slot 2 (SC330)	330	Slot	Auto VRM	Pentium II/III Xeon

В таблицата са използвани следните означения:

PGA – Pin Grid Array (Решетъчно разположение на изводите);

mPGA – microPGA;

SPGA – Staggered PGA (Шахматно решетъчно разположение на изводите)

VRM – Voltage Regulator Module (Модул за регулиране на напрежението)

4.3 Схемен набор (чипсет)

Чипсетите са основни елементи на дънната платка на компютърните системи. Те осигуряват връзката на процесора с всичко останало. Процесорът не може да комуникира с паметта, адаптерните карти или устройствата без чипсета.

Тъй като чипсетът контролира интерфейса между микропроцесора и всичко останало, той определя какъв процесор може да се монтира на дънната платка, каква е скоростта на системната шина, каква памет може да се използва. В много голяма степен чипсетът определя скоростта на работа на компютърната система. Чипсетът е един от най-важните елементи на системата – дори по-важен в някои моменти и от самия микропроцесор. Когато се асемблира дадена компютърна система се започва от чипсета и след това се определя какъв микропроцесор, памет, входно-изходни устройства да се подберат и какви са възможностите за разширение.

В първите РС компютри IBM използваха няколко отделни чипа за да комплектват дънната платка на системата. Те включваха генератор на тактова честота, контролер на шината, системен таймер, контролер на прекъсванията, DMA контролер, CMOS RAM памет и часовник, клавиатурен контролер и други. Освен това, се използваха и допълнителни чипове с проста логика, за да се синхронизира работата на отделните елементи.

През 1986 година компанията Chips and Technologies представи нов компонент – 82C206, който се явява главна част на първия чипсет за дънни платки. Това е самостоятелен чип, който интегрира в себе си всички функции на дънна платка за AT – съвместими компютърни системи.

Intel разработва схемния набор като разделя неговите функции на две групи. Една група функции се интегрират в микросхема, наречена **Northbridge** (Северен мост), а другата група функции се интегрира в микросхема наречена **Southbridge** (Южен мост).

Тези две микросхеми се свързват помежду си посредством стандартната шина PCI. В съвременните РС връзката между CPU и оперативната памет се осъществява посредством по-бърза и широка шина за данни отколкото шината PCI. Тази бърза шина се нарича вътрешна (системна) шина или главна (host) шина. CPU не може непосредствено да се включва към отделните модули памет. За това са необходими буфери и декодери за адресите на паметта. По същия начин той не може да се свързва и с шината PCI. Електронните схеми, използвани за решаване на задачите за свързване на CPU с паметта и шините, се наричат свързваща логика на дънната платка и са интегрирани в голяма интегрална схема Северен мост (Northbridge). В процеса на разработката на тази микросхема възникнала идеята да се реализира поддръжката и на една допълнителна бързодействаща шина за данни със специално предназначение. Тази шина е наречена усъвършенстван графичен порт (**Advanced Graphics Port – AGP**).

Шината AGP е нова шина, способна да работи с честотата на вътрешната шина на дънната платка и има същото количество линии за пренос на данни. Тя осъществява връзката

на схемата **Northbridge** със слота на графическия ускорител (видеокарта). В този случай, върху платката на графическия ускорител се вгражда банка с локална памет, до която има достъп ускорителят и се използва като буфер за подготовка на изображението върху дисплея.

Микросхемата **Южен мост** се намира на другия край на PCI шината и в него са интегрирани голяма част от контролерите на входно-изходните устройства. В него се намира също така и контролерът за ISA шината, а също така и CMOS RAM памет и системният часовник на компютъра. Типична архитектура с мостова организация на схемните набори е показана на фиг. 2.6 за компютърни системи с Pentium II и Celeron микропроцесори.

В схемата Южен мост е вградена цялата интерфейсна логика за предаване на информация от шината PCI на значително по-бавната шина ISA (8.33 MHz) и на другите интерфейси. Към Южният мост се включват контролерите на дисковите запомнящи устройства, клавиатурата и посочващото устройство (мишка), паралелният порт и няколко стандартни последователни портове. Тази микросхема осигурява и поддръжката на универсалните серийни портове (USB).

Разделянето на схемния набор на две електронни схеми Northbridge и Southbridge позволява на Intel (съществуват и схемни набори само с една микросхема) да осигури една интересна допълнителна възможност. Тя се състои в това, че към PC може да бъде свързан допълнителен PC (например Laptop), посредством специална стиковъчна станция (интерфейс). Другото предимство на този начин на конфигуриране на схемния набор е възможността тези схеми да бъдат произвеждани от различни производители.

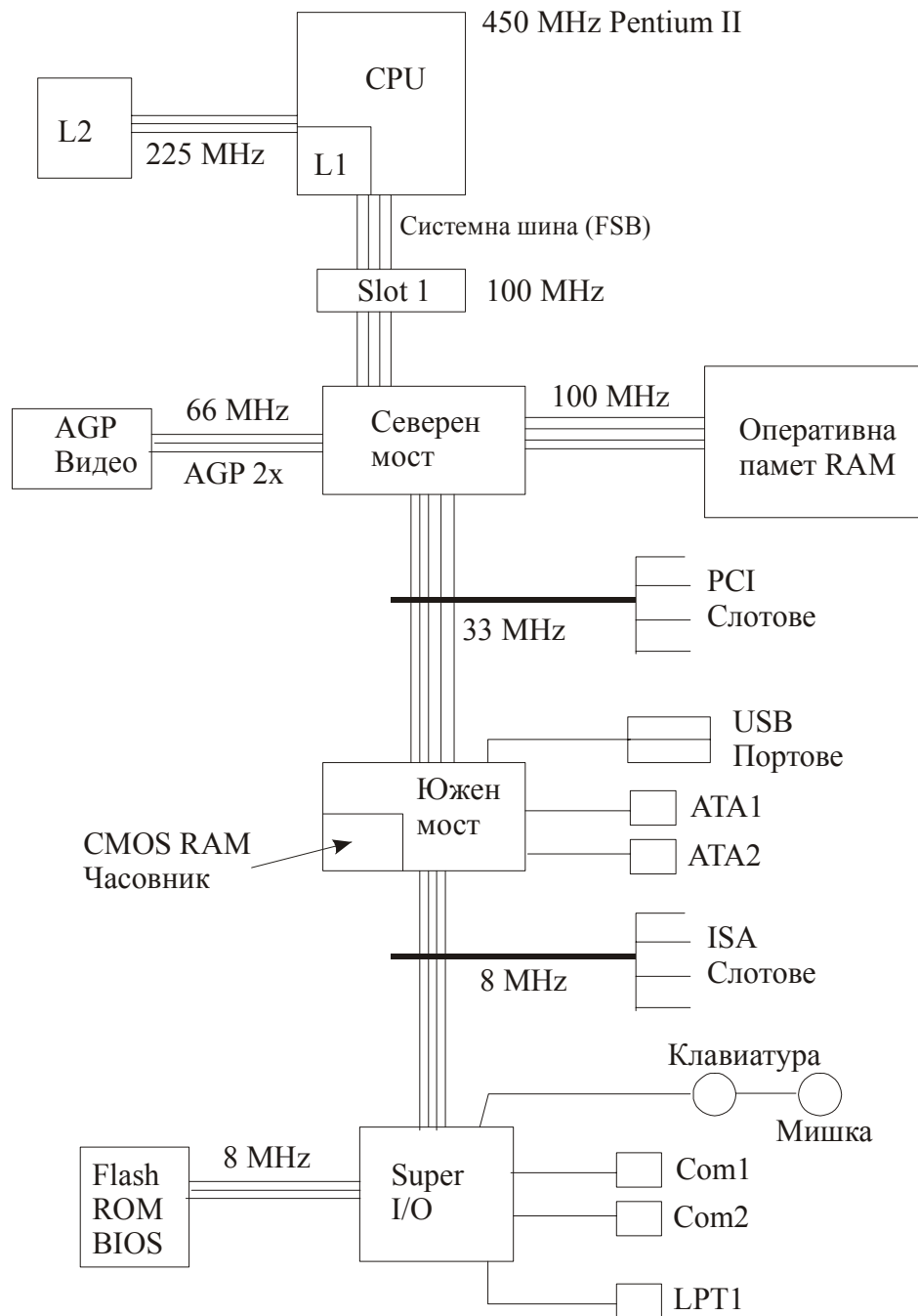
Освен с архитектура северен и южен мост напоследък се разработват чипсети с хъбова архитектура. При нея, вместо северен мост се разработва специализиран чип, който се нарича хъб на контролера на паметта MCH (Memory Controller Hub). Вместо южен мост се използва хъб на контролера за вход/изход ICH (I/O Controller Hub). Двете схеми не се свързват помежду си с PCI шината, а със специализиран интерфейс, който е два пъти по-бърз от PCI шината (66 MHz). Дизайнът с хъбов интерфейс е много икономичен, тъй като ширината на шината за данни е само 8 бита. За реализацията на този интерфейс са необходими само 15 сигнала за разлика от 64-те сигнала на 32-битовия PCI интерфейс. Това означава по-малко писти на дънната платка, по-малко шум и грешки при синхронизацията, а чиповете имат по-малко изводи и са по-изгодни за производство.

Хъбовата конструкция има някои сериозни предимства пред стандартната мостова организация на чипсетите:

- Хъбовата организация осигурява по-бърз трансфер на данните. Той е учетворен 4x (с 4 трансфера за един такт) и въпреки по-малката ширина на шината (8 бита) е с двойно по-голям трансфер от PCI.

- Намалява се натоварването на PCI шината. Хъбовият интерфейс е независим от PCI и не споделя ресурсите с него. Това осигурява по-голяма производителност на всички устройства свързани с PCI шината и облекчава работата на Super I/O чипа.

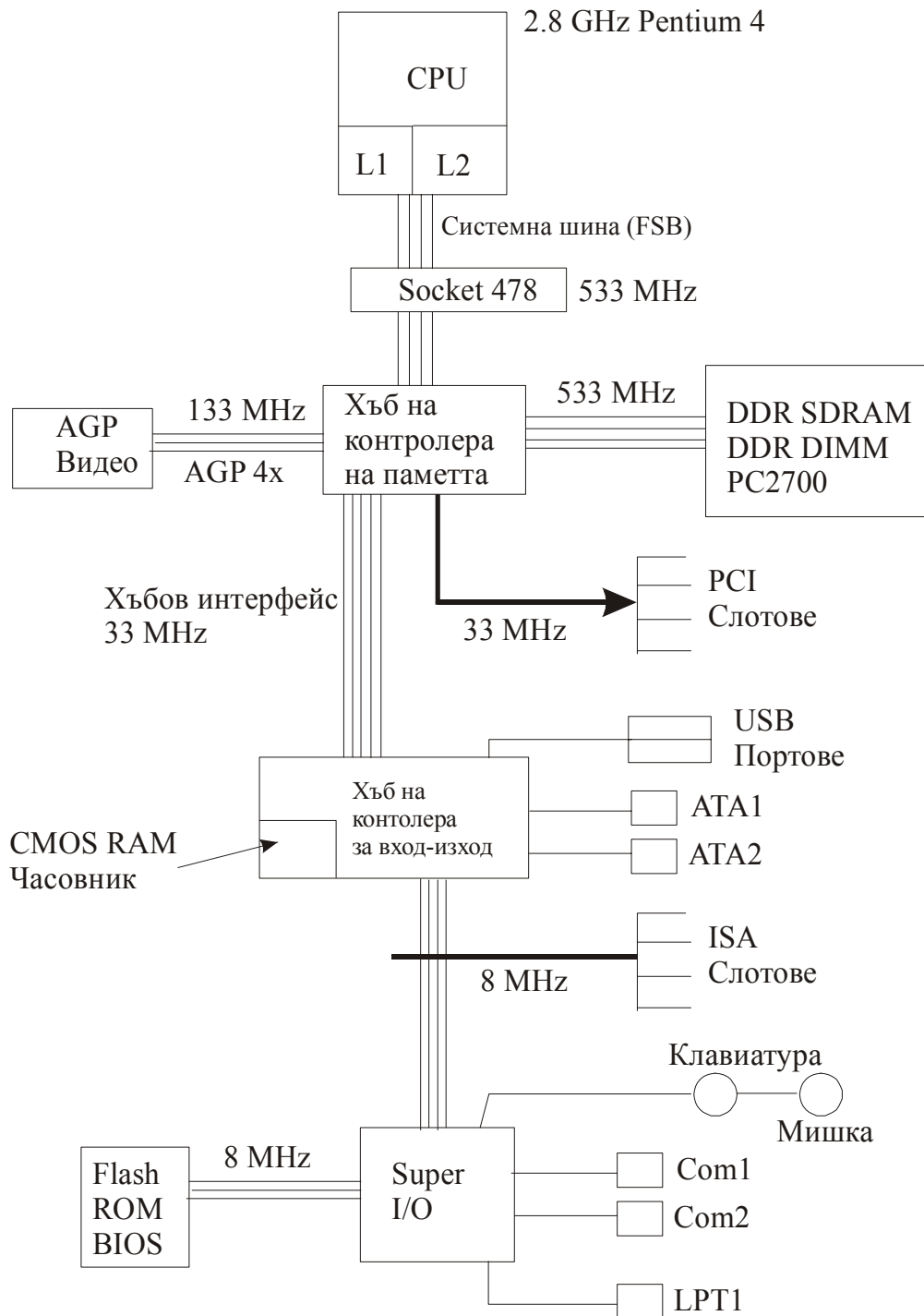
- Намалява се опроводяването на дънната платка. С това се повишава сигурността на трансфера на данните.



Фиг.2.6. Архитектура на типична Slot 1 система

Типична хъбова организация е показана на (фиг.2.7) за на компютърна система с микропроцесор Pentium 4.

Super I/O чипове. Третият по важност чип, който се монтира на дънната платка е Super I/O чипът. Обикновено той интегрира в себе си редица устройства, които в по-ранните компютърни системи се намираха на отделни разширителни карти. Основните компоненти вградени в Super I/O чипа са: Контролер за флопидискови устройства, контролери за серийни портове, контролер за паралелен порт. Добрите Super I/O чипове включват технология за буфериране на серийните портове UART (Universal asynchronous receiver transmitter).



Фиг.2.7. Архитектура на типична Socket 478 система

Super I/O чипът може да съдържа и някои други компоненти, като контролерите за клавиатура и мишка. В голяма част от компютърните системи тези контролери са в отделен чип, но в по-новите системи те се вграждат в Super I/O чипа.

Ролята на Super I/O чипа, изглежда става все по-малка, тъй като в най-новите разработки на чипсети от Intel® все повече функции се прехвърлят към южния мост или хъба на контролера за вход/изход. Така например, IDE контролерите (за твърдия диск) се вграждат вече в схемите на чипсета.

CMOS RAM памет. В оригиналните системи AT беше използван чип на Motorola (146818) за часовник в реално време (RTC) и CMOS RAM чип. Това е специална интегрална

схема с часовник и 10 байта RAM памет, в част от която може да се съхранява информация. Проектантите на IBM използваха тази памет за съхраняване на данни за конфигурацията на компютърната система.

В съвременните PC вече не се използва чипът на Motorola, а функциите му се включват във функционалните възможности на южния мост или Super I/O чипа.